

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2006/303523

International filing date: 21 February 2006 (21.02.2006)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-172585
Filing date: 13 June 2005 (13.06.2005)

Date of receipt at the International Bureau: 22 March 2006 (22.03.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 5 年 6 月 1 3 日

出 願 番 号
Application Number: 特 願 2 0 0 5 - 1 7 2 5 8 5

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 5 - 1 7 2 5 8 5
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 株式会社東芝

2 0 0 6 年 3 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



【書類名】	特許願
【整理番号】	13B053062
【提出日】	平成17年 6月13日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 41/00 H01L 41/08 H03H 9/00
【発明者】	
【住所又は居所】	神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
【氏名】	斎藤 真司
【発明者】	
【住所又は居所】	神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
【氏名】	布上 真也
【発明者】	
【住所又は居所】	神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
【氏名】	岡 俊行
【特許出願人】	
【識別番号】	000003078
【氏名又は名称】	株式会社 東芝
【代理人】	
【識別番号】	100083806
【弁理士】	
【氏名又は名称】	三好 秀和
【電話番号】	03-3504-3075
【選任した代理人】	
【識別番号】	100100712
【弁理士】	
【氏名又は名称】	岩▲崎▼ 幸邦
【選任した代理人】	
【識別番号】	100100929
【弁理士】	
【氏名又は名称】	川又 澄雄
【選任した代理人】	
【識別番号】	100108707
【弁理士】	
【氏名又は名称】	中村 友之
【選任した代理人】	
【識別番号】	100095500
【弁理士】	
【氏名又は名称】	伊藤 正和
【選任した代理人】	
【識別番号】	100101247
【弁理士】	
【氏名又は名称】	高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 16,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】 特許請求の範囲

【請求項 1】

p 型窒化物半導体層と、
前記窒化物半導体層表面上の酸化パラジウム膜を含む p 側電極
とを備えることを特徴とする半導体素子。

【請求項 2】

前記酸化パラジウム膜が、硫化白金型酸化パラジウムを含むことを特徴とする請求項 1
に記載の半導体素子。

【請求項 3】

前記酸化パラジウム膜に含まれる前記硫化白金型酸化パラジウムが、50%以上である
ことを特徴とする請求項 2 に記載の半導体素子。

【請求項 4】

前記 p 側電極が、前記酸化パラジウム膜表面上のパラジウム膜を含むことを特徴とする
請求項 1～3 のいずれか 1 項に記載の半導体素子。

【請求項 5】

前記 p 側電極が、前記酸化パラジウム膜の上に設けられた白金膜を含むことを特徴とす
る請求項 1～4 のいずれか 1 項に記載の半導体素子。

【請求項 6】

前記 p 側電極が、前記パラジウム膜表面上で、少なくとも一部を酸化ニッケルとする第
1 のニッケル含有膜と、前記第 1 のニッケル含有膜表面上の金膜とを含むこと特徴とする
請求項 1～4 のいずれか 1 項に記載の半導体素子。

【請求項 7】

前記 p 側電極が、前記金膜表面上で、少なくとも一部を酸化ニッケルとする第 2 のニッ
ケル含有膜を含むことを特徴とする請求項 6 に記載の半導体素子。

【請求項 8】

前記第 1 のニッケル含有膜に含有される酸素のモル分率が、前記第 2 のニッケル含有膜
に比べて小さいことを特徴とする請求項 7 に記載の半導体素子。

【請求項 9】

p 型半導体層表面にパラジウム膜を堆積し、
前記半導体層を酸素雰囲気中で熱処理して、少なくとも前記半導体層表面に隣接する領
域の前記パラジウム膜を酸化して酸化パラジウム膜を形成する
ことを含むことを特徴とする電極形成方法。

【請求項 10】

前記熱処理が、200℃以上、400℃未満の温度範囲で行われることを特徴とする請
求項 9 に記載の電極形成方法。

【請求項 11】

前記熱処理の前に、前記パラジウム膜表面上に白金膜を堆積することを、更に含むこ
とを特徴とする請求項 9 又は 10 に記載の電極形成方法。

【請求項 12】

前記熱処理の前に、前記パラジウム膜表面上にニッケル膜及び金膜を順次堆積するこ
とを、更に含むことを特徴とする請求項 9 又は 10 に記載の電極形成方法。

【請求項 13】

前記半導体層が、窒化物半導体であることを特徴とする請求項 9～12 のいずれか 1 項
に記載の電極形成方法。

【請求項 14】

基板の上に発光層を含むエピタキシャル成長層、及び前記エピタキシャル成長層上に p
型コンタクト層を成長し、
前記コンタクト層表面にパラジウム膜を堆積し、
前記基板を酸素雰囲気中で熱処理して、少なくとも前記コンタクト層表面に隣接する領
域の前記パラジウム膜を酸化して酸化パラジウム膜を形成する

ことを含むことを特徴とする半導体素子の製造方法。

【請求項 15】

前記熱処理が、200℃以上、400℃未満の温度範囲で行われることを特徴とする請求項 14 に記載の半導体素子の製造方法。

【請求項 16】

前記熱処理の前に、前記パラジウム膜表面上に白金膜を堆積することを、更に含むことを特徴とする請求項 14 又は 15 に記載の半導体素子の製造方法。

【請求項 17】

前記熱処理の前に、前記パラジウム膜表面上にニッケル膜及び金膜を順次堆積することを、更に含むことを特徴とする請求項 14 又は 15 に記載の半導体素子の製造方法。

【請求項 18】

前記コンタクト層が、窒化物半導体であることを特徴とする請求項 14 ～ 17 のいずれか 1 項に記載の半導体素子の製造方法。

【書類名】明細書

【発明の名称】半導体素子、電極形成方法及び半導体素子の製造方法

【技術分野】

【0001】

本発明は、窒化物半導体材料を用いた半導体素子、p型半導体層の電極形成方法及び半導体素子の製造方法に関する。

【背景技術】

【0002】

半導体発光素子は、小型で省電力、長寿命であるために、既存の発光装置の半導体発光素子による置き換えが進められている。例えば、誘導放出を用いる半導体レーザダイオード(LD)は、表示装置や、光ディスク記録等の記憶装置等に用いられている。自然放出を用いる半導体発光ダイオード(LED)は、輝度が高いために表示装置等に用いられている。

【0003】

最近新たな応用として、LEDを照明として用いる試みがなされている。例えば、LEDは既存の白熱電球に対して、効率が高く、発熱が少ない点が優っているため、今後も白熱電球の置き換えが進むと考えられる。LEDは、潜在的には電気を光に変換する効率を100%に近づけることが可能であるが動作電圧の低減の面で課題がある。また、広く照明として用いられている蛍光灯の置き換えは、効率、発熱、動作電源の面で課題がある。

【0004】

窒化物半導体は結晶が強固であり、大電流、高電圧に耐えうる。半導体素子においても、現行のガリウム砒素(GaAs)やシリコン(Si)等の性能を越える特性が、窒化物半導体で得られている。しかし、窒化物半導体では、特にp型半導体層に対する低接触抵抗の電極を得るのが困難である。

【0005】

窒化物半導体発光素子に関して、低接触抵抗のp型電極を得るため、少なくともパラジウム(Pd)を含む金属を用いているものがある(例えば、特許文献1参照。)。また、ニッケル(Ni)の酸化物とPd金属とを用いた技術が公開されている(例えば、特許文献2参照。)。しかし、いずれの技術でも、半導体発光素子の動作電圧が高く、接触抵抗の低減が十分でない。

【0006】

半導体層に電力を供給するための電極の接触抵抗が大きいと、大きな電圧降下が生じ、半導体素子の動作効率を改善する場合に問題となる。また、高い接触抵抗に起因して、電極と半導体層界面での発熱により、電極や電極近傍の半導体層にダメージが生じ半導体素子の信頼性が劣化する。また、ワイヤボンディング等の配線を行うため、半導体素子の電極上に金(Au)等のパッド電極が用いられる。Auは電極金属の粒界を介して、半導体層へ拡散する。拡散したAuは半導体素子のリーク原因となり、信頼性の上で問題である。

【特許文献1】特許3233258号公報

【特許文献2】特許3230463号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、低動作電圧を実現することができ、信頼性の向上が可能な半導体素子、電極形成方法及び半導体素子の製造方法を提供する。

【課題を解決するための手段】

【0008】

上記課題を解決するため、本発明の第1の態様は、(イ)p型窒化物半導体層と、(ロ)窒化物半導体層表面上の酸化パラジウム膜を含むp側電極とを備える半導体素子であることを要旨とする。

【0009】

本発明の第2の態様は、(イ) p型半導体層表面にパラジウム膜を堆積し、(ロ)半導体層を酸素雰囲気中で熱処理して、少なくとも半導体層表面に隣接する領域のパラジウム膜を酸化して酸化パラジウム膜を形成することを含む電極形成方法であることを要旨とする。

【0010】

本発明の第3の態様は、(イ)基板の上に発光層を含むエピタキシャル成長層、及びエピタキシャル成長層上にp型コンタクト層を成長し、(ロ)コンタクト層表面にパラジウム膜を堆積し、(ハ)基板を酸素雰囲気中で熱処理して、少なくともコンタクト層表面に隣接する領域のパラジウム膜を酸化して酸化パラジウム膜を形成することを含む半導体素子の製造方法であることを要旨とする。

【発明の効果】

【0011】

本発明によれば、低動作電圧を実現することができ、発熱の低減、及び電極材料の半導体層への拡散の抑制が可能な半導体素子、電極形成方法及び半導体素子の製造方法を提供することが可能となる。

【発明を実施するための最良の形態】

【0012】

以下図面を参照して、本発明の形態について説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号が付してある。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0013】

(第1の実施の形態)

本発明の第1の実施の形態に係る半導体素子としての青色LDは、図1に示すように、基板10上に形成されたエピタキシャル成長層12及びコンタクト層14等を備える。エピタキシャル成長層12の一部、及びコンタクト層14により、メサ状のリッジが設けられる。例えば、基板10として、窒化ガリウム等の窒化物半導体基板が用いられる。エピタキシャル成長層12には、n型GaN層、n型窒化アルミニウムガリウム(AlGaN)クラッド層、n型GaNガイド層、窒化インジウムガリウム(InGaN)多重量子井戸層、p型GaNガイド層、p型AlGaNクラッド層等が含まれる。コンタクト層14として、GaN等のp型半導体層が用いられる。なお、LDの発光層は、エピタキシャル成長層12の多重量子井戸層である。

【0014】

コンタクト層14端部を含むリッジ側面及びエピタキシャル成長層12表面には、絶縁膜16が設けられる。p側電極18が、絶縁膜16上及び絶縁膜16の開口部のコンタクト層14表面上に設けられる。パッド電極20は、p側電極18及び絶縁膜16表面上に設けられる。また、n側電極22が、基板10の裏面に設けられる。

【0015】

本発明の第1の実施の形態に係るp側電極18には、図2に示すように、コンタクト層14表面上の酸化パラジウム(PdO)膜30、PdO膜30上のPd膜32、及びPd膜32上の白金(Pt)膜34が含まれる。パッド電極20には、金(Au)等の低抵抗で、且つワイヤボンディングが容易な金属が用いられる。n側電極22には、チタン(Ti)/Pt/Au等の積層金属膜が用いられる。

【0016】

本発明の第1の実施の形態では、p側電極18には、Pt膜34がPd膜32上に設けられている。Au等のパッド電極20は、Pt膜34上に設けられる。PtはAu等の金属材料の拡散防止膜として機能する。そのため、パッド電極20からのAu等の拡散を防

止することができ、LDの信頼性の向上が可能となる。

【0017】

本発明の第1の実施の形態では、PdO膜30は、コンタクト層14表面にPd膜32及びPt膜34を堆積し、熱処理して形成される。例えば、GaN等の半導体層表面にPdを堆積して、低圧、例えば約10Paの酸素(O_2)雰囲気中、400℃未満、例えば約390℃で約100分間の条件で熱処理を行う。その後、スパッタと組み合わせたオージェ電子分光法(AES)により、Pd/PdO/GaNの深さ方向の元素分布が測定されている。

【0018】

例えば、図3に示すように、オージェ電子スペクトルのPd、O及びGaそれぞれのAESピーク強度のスパッタ時間に対する変化が評価される。Oのオージェピークは、GaN半導体層及びPd膜界面近傍のPd膜内に形成されている。その結果、半導体層及びPd膜界面に残存する O_2 がPdと反応することがわかる。

【0019】

また、熱処理で形成されたPdOの結晶格子構造が、X線回折(XRD)により測定されている。例えば、図4に示すように、硫化白金(PtS)型のPdOの結晶格子構造に対応する回折角 2θ で、XRD強度スペクトルの主ピークIPaが得られる。比較例として、例えば、400℃以上で熱処理したPd膜のXRD強度スペクトルが、図4に示されている。なお、比較例の熱処理において、熱処理温度以外は本発明の第1の実施の形態と同一の条件としている。比較例の主ピークIPbの回折角 2θ は、ピークIPaより低角側に位置する。また、ピークIPbの半値幅は、ピークIPaに比べ広がっている。

【0020】

PdOの結晶格子構造には、PtS型以外に、酸化コバルト(CoO)型がある。CoO型の回折角 2θ は、PtS型よりも低角側にある。比較例では、PtS型のPdOに混在するCoO型のPdOの含有率が大きくなっていることが判る。p型GaN半導体層上のPd/PdO膜で測定された電流電圧特性から、CoO型のPdOの含有率が高くなるほど、接触抵抗が高くなることが判明している。PtS型及びCoO型それぞれのPdOの結晶格子構造に基づいてX線散乱強度を計算し、測定されたXRD強度スペクトルに対してフィッティングを行なう。その結果、PtS型のPdOの割合が約50%以上の場合に、実用的な整流性のない良好な電気特性が得られることが判明している。

【0021】

本発明の第1の実施の形態に係るLDでは、図5に示すように、p側電極18及びn側電極22間の電流電圧特性には整流性がなく、低電圧においてキャリアが注入されていることがわかる。図2に示したPdO膜30の厚さは、例えば10nm以下と薄い。また、PdOが半導体として動き、p型GaN半導体層とPd膜32の間に生じる電位障壁を低下させる。そのため、p型GaN半導体層とPd膜32の間でキャリアを電界放出、あるいは熱電子放出で注入することができる。

【0022】

図1に示したLDと同様の構造で、p側電極18として熱処理していないPdを用いた比較例では、図5に示したように、電流電圧特性には整流性が見られる。p型GaN半導体層とPdの間に形成される電位障壁の高さが約1.5eVである。そのため、低電界では電位障壁の高さが、熱電子放出でキャリアが注入できるほど低くならない。

【0023】

PtS型のPdOを生成するには O_2 雰囲気であつ低圧の状態でアニールを行うことが効率的である。低圧で行なう際にはガスを導入しながら真空ポンプで排気して圧力を調整する。例えば、p側電極18の熱処理を大気圧で行う場合には、Pd膜32が十分に酸化されるまでに時間がかかる。また、窒素(N_2)雰囲気中では、酸化が進まない。また、大気(空気)を減圧にした雰囲気においては、 O_2 雰囲気と同様な効果が得られるが均一性が悪く歩留まりが悪い。大気中に含まれる水分がp側電極18表面に不均一に付着し、不均一にPd膜32が酸化されるためである。

【0024】

本発明の第1の実施の形態に係る熱処理において、200℃以上、400℃未満の温度範囲が望ましい。200℃未満の熱処理では、Pdの酸化がほとんど進まない。また、上述のように、400℃以上の高い熱処理温度では、CoO型のPdOが生成され、接触抵抗が増加する。なお、CoO型を含有するPdOでは、接触抵抗が増加するが、整流性は見られない。更に、750℃～800℃と高い温度では、PdOは絶縁物となり、電極として適さない。

【0025】

また、熱処理後において、温度勾配が緩やかな降温が有効である。具体的には、約200℃までを約0.1℃/sより緩やかな降温とすることにより、LDの動作電圧の低減に対して有効である。

【0026】

次に、本発明の第1の実施の形態に係る半導体素子の製造方法を、図6～図10に示す工程断面図を用いて説明する。

【0027】

(イ) n型GaN等の基板10を有機溶剤と酸で前処理した後、有機金属気相成長(MOCVD)装置の成長室の中に載置する。図6に示すように、MOCVDにより、基板10上に、エピタキシャル成長層12及びp型GaNコンタクト層14を成長する。エピタキシャル成長層12には、Siドープn型GaN層、Siドープn型AlGaNクラッド層、n型GaNガイド層、InGaN多重量子井戸層、p型GaNガイド層、及びMgドープp型AlGaNクラッド層が、順次成長される。

【0028】

(ロ) 図7に示すように、フォトリソグラフィ等により、レジスト膜80を形成する。反応性イオンエッチング(RIE)等のドライエッチング等により、レジスト膜80をマスクとして、コンタクト層14及びエピタキシャル成長層12を選択的に除去して、リッジ構造を形成する。レジスト膜80を、レジスト剥離剤等により除去する。

【0029】

(ハ) 図8に示すように、化学気相成長(CVD)等により、酸化シリコン(SiO₂)、窒化シリコン(Si₃N₄)等の絶縁膜16をエピタキシャル成長層12及びコンタクト層14の表面に堆積する。フォトリソグラフィ等により、コンタクト層14の表面が露出するように絶縁膜16に開口部を設ける。

【0030】

(ニ) 塩酸、王水等を用いる前処理により、絶縁膜16の開口部に露出したコンタクト層14の表面の自然酸化膜を除去する。電子ビーム(EB)蒸着等により、コンタクト層14及び絶縁膜16の上に、約10nmのPd及び約50nmのPtを順次堆積する。なお、Pd膜とPt膜の厚さは、上記膜厚に限定されず、それぞれ、約5nm～約50nm、約10nm～約500nmの範囲とすることができる。図9に示すように、フォトリソグラフィ、RIE等により、Pt及びPdを選択的に除去してp側電極18を形成する。なお、PdとPtの密着性を向上させるため、厚さが約5nmのTiをPdとPtの間に挟んでもよい。

【0031】

(ホ) 熱処理により、図2に示したように、p側電極18のPd膜32を酸化してPdO膜30を形成する。熱処理条件は、例えば、O₂雰囲気中で、基板温度が約390℃、熱処理時間が100分である。図10に示すように、真空蒸着、フォトリソグラフィ等により、p側電極18を覆うように、Au等のパッド電極20を形成する。

【0032】

(ヘ) 研磨等により、基板10の裏面側から基板10を約150μmまで薄くする。真空蒸着等により、図1に示したn側電極22を堆積する。n側電極22は、例えば、Tiを約100nm、Ptを約50nm、Auを約500nmの厚さで順に積層する。n側電極22を形成後、ヘキ開により共振器を形成して、チップに分離する。共振器の対向する

ミラー面に、誘電体多層膜の高反射膜及び低反射膜をそれぞれ形成する。チップをヒートシンクにマウントしてLDが製造される。

【0033】

製造されたLDは、レーザ光出力が200mW時に、動作電圧は3.3Vである。図5に示した比較例に比べて動作電圧が低いのは、p側電極18の接触抵抗が小さいためである。接触抵抗が小さいために、p側電極18とコンタクト層14の界面での発熱が抑制される。その結果、p側電極18やp側電極18近傍のコンタクト層14でのダメージ発生が抑制され、LDの信頼性が向上し動作寿命が増加する。LDの信頼性が、環境温度が約80℃の加速寿命試験で検査されている。加速寿命試験において、10万時間相当の信頼性試験を行っても劣化は見られない。このように、本発明の第1の実施の形態に係るLDでは、低動作電圧を実現することができ、信頼性の向上が可能となる。

【0034】

本発明の第1の実施の形態に係るp側電極18では、拡散防止膜としてPt膜34がPd膜32上に設けられている。拡散防止膜は、Ptに限定されず、他の金属、例えば、ニッケル(Ni)等でもよい。

【0035】

例えば、図11に示すように、p型GaNコンタクト層14上にEB蒸着等により、約10nmのPd膜32、約40nmのNi膜36、及び約100nmのAu膜38を順次堆積する。なお、Pd膜32、Ni膜36、Au膜38の厚さは上記膜厚に限定されず、それぞれ、約5nm～約50nm、約5nm～約50nm、約100nm～約800nmの範囲とすることができる。図12に示すように、約10Paの低圧のO₂雰囲気中、約390℃、約100分の熱処理を行い、p側電極18aを形成する。熱処理により、Pd膜32が酸化され、コンタクト層14上にPdO膜30が形成される。熱処理で、Ni膜36も酸化され、Pd膜32上に第1のNi含有膜40が形成される。また、熱処理中にNiはAu膜38中を拡散してAu膜38の表面で酸化され、第2のNi含有膜42が形成される。酸を用いるウェットエッチング等により、第2のNi含有膜42を除去する。図13に示すように、蒸着法などにより、p側電極18bのAu膜38上に、パッド電極20を形成する。なお、第2のNi含有膜42を除去せずに、p側電極18a上にパッド電極20を形成してもよい。

【0036】

p側電極18bに対して、スパッタと組み合わせたAESにより、深さ方向の元素分布が測定されている。例えば、図14に示すように、Au膜38の表面から順に、Au、Ni、Pd、Gaのそれぞれのオーグメントの分布が得られる。NiにはOが含まれている。PdとGaの界面にOが含まれている。熱処理により、NiはPd中に拡散するが、GaN界面までは到達しない。このように、Pd膜32とコンタクト層14の間にPdO膜30が形成されている。形成されたPdO膜30がPtS型のPdOを主に含み、接触抵抗が小さいことが確認されている。

【0037】

また、第1のNi含有膜40には、Ni金属とNi酸化物が含まれていることが判る。Ni酸化物は、半導体であり導電性を有する。なお、第2のNi含有膜42にも、Ni金属とNi酸化物が含まれている。第1のNi含有膜40に含有されるOのモル分率は、第2のNi含有膜42に比べて小さいことが、AES等により確認されている。

【0038】

第1のNi含有膜40のNi及びNi酸化物が、図14に示したように、Auの拡散防止膜として働いていることがわかる。したがって、LDの信頼性の向上が可能となる。

【0039】

(第2の実施の形態)

本発明の第2の実施の形態に係る半導体素子としてのLEDは、図15に示すように、p型GaNコンタクト層14に設けられたp側電極18cと、n型GaNコンタクト層54に設けられたn側電極22を備える。パッド電極20が、p側電極18c上でn側電極

22の反対側に設けられる。

【0040】

LEDの窒化物半導体層は、MOCVDにより成長される。例えば、図16に示すように、サファイア等の基板50表面に、まずAlN等のバッファ層52を成長する。バッファ層52上に、n型GaNコンタクト層54、n型InGaN発光層56、p型AlGaNキャップ層58、p型GaNコンタクト層14を順に成長する。

【0041】

コンタクト層14の表面を王水等により前処理を行う。その後、EB蒸着等により、コンタクト層14表面にPd膜32を約50nmの厚さで堆積する。フォトリソグラフィ、RIE等により、Pd膜32を選択的に除去して、p側電極18cを形成する。例えば、約10Paの低圧でO₂雰囲気中、約390℃、100分間の熱処理を行う。熱処理により、p側電極18cのPd膜32が酸化し、コンタクト層14の近傍にPdO膜30が形成される。

【0042】

フォトリソグラフィ、ドライエッチング等により、Pd膜32が除去された領域で、コンタクト層14、p型発光層58、n型発光層56、及びコンタクト層54の一部を除去してコンタクト層54を露出させる。フォトリソグラフィ、EB蒸着等により、Ti、Pt、及びAuを順次堆積してn側電極22を形成する。p側電極18c及びn側電極22が形成されていない領域に、適宜SiO₂やSi₃N₄等の保護絶縁膜（図示省略）を形成する。n側電極22の反対側のp側電極18c上に、ボンディング配線用のパッド電極20を形成する。

【0043】

また、ダイシング等により、基板50を約300μm角のLEDチップに分離する。LEDチップを、銀（Ag）ペースト等によりヒートシンクにマウントする。パッド電極20及びn側電極22にAuワイヤ等によりボンディング配線を行い、LEDが製造される。

【0044】

製造したLEDにボンディング配線を介して、電流注入が行われる。注入電流が約20mAで、動作電圧は約2.9Vである。注入電流を約200mAに増加する場合でも、動作電圧は約3.5Vで、LEDは劣化することなく安定に動作することが確認されている。このように、本発明の第2の実施の形態に係るLEDでは、低動作電圧を実現することができ、信頼性の向上が可能となる。

【0045】

（その他の実施の形態）

上記のように、本発明の第1及び第2の実施の形態を記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者にはさまざまな代替実施の形態、実施の形態及び運用技術が明らかとなろう。

【0046】

本発明の第1及び第2の実施の形態では、窒化物半導体発光素子のp側電極への応用を示している。しかし、窒化物半導体に限定されず、セレン化亜鉛（ZnSe）、酸化亜鉛（ZnO）、炭化珪素（SiC）、ダイヤモンド（C）等のバンドギャップの大きい半導体に対しても、PdO膜を含むp側電極は有用である。また、発光素子だけでなく電界効果トランジスタ（FET）等のキャリア走行型素子のオーミック電極としても用いることが可能であり、動作電圧の低減、動作効率の向上が期待される。

【0047】

このように、本発明はここでは記載していないさまざまな実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係わる発明特定事項によってのみ定められるものである。

【図面の簡単な説明】

【0048】

- 【図 1】 本発明の第 1 の実施の形態に係る半導体素子の一例を示す断面図である。
- 【図 2】 本発明の第 1 の実施の形態に係る p 側電極の一例を示す断面図である。
- 【図 3】 本発明の第 1 の実施の形態に係る p 側電極のオージェ電子分光測定結果の一例を示す図である。
- 【図 4】 本発明の第 1 の実施の形態に係る p 側電極の X 線回折測定結果の一例を示す図である。
- 【図 5】 本発明の第 1 の実施の形態に係る半導体素子の電流電圧特性の一例を示す図である。
- 【図 6】 本発明の第 1 の実施の形態に係る半導体素子の製造方法の一例を示す断面図（その 1）である。
- 【図 7】 本発明の第 1 の実施の形態に係る半導体素子の製造方法の一例を示す断面図（その 2）である。
- 【図 8】 本発明の第 1 の実施の形態に係る半導体素子の製造方法の一例を示す断面図（その 3）である。
- 【図 9】 本発明の第 1 の実施の形態に係る半導体素子の製造方法の一例を示す断面図（その 4）である。
- 【図 10】 本発明の第 1 の実施の形態に係る半導体素子の製造方法の一例を示す断面図（その 5）である。
- 【図 11】 本発明の第 1 の実施の形態に係る p 側電極の熱処理方法の一例を示す断面図（その 1）である。
- 【図 12】 本発明の第 1 の実施の形態に係る p 側電極の熱処理方法の一例を示す断面図（その 2）である。
- 【図 13】 本発明の第 1 の実施の形態に係る p 側電極の熱処理方法の一例を示す断面図（その 3）である。
- 【図 14】 本発明の第 1 の実施の形態に係る p 側電極のオージェ電子分光測定結果の他の例を示す図である。
- 【図 15】 本発明の第 2 の実施の形態に係る半導体素子の一例を示す平面図である。
- 【図 16】 本発明の第 2 の実施の形態に係る半導体素子の一例を示す断面図である。

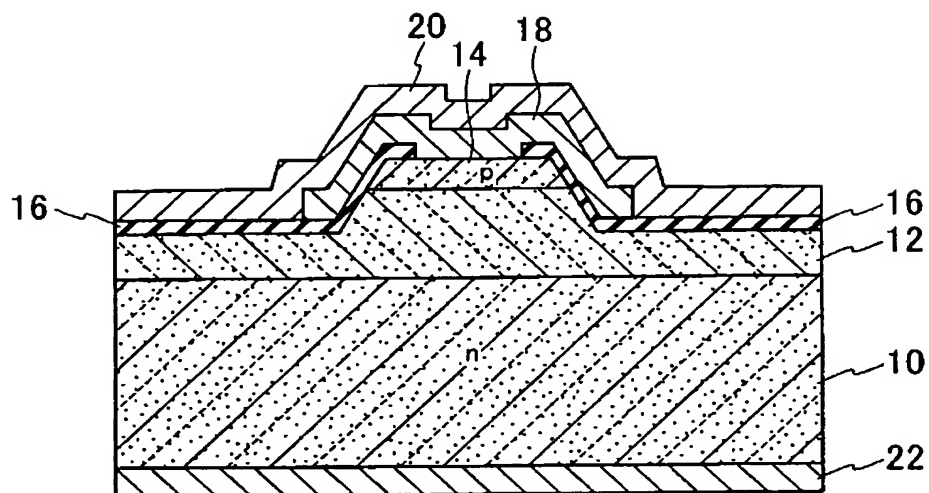
【符号の説明】

【 0 0 4 9 】

- 1 0、5 0 … 基板
- 1 2 … エピタキシャル成長層
- 1 4、5 4 … コンタクト層
- 1 8、1 8 a ～ 1 8 c … p 側電極
- 2 2 … n 側電極
- 3 0 … P d O 膜
- 3 2 … P d 膜
- 3 4 … P t 膜
- 3 6 … N i 膜
- 3 8 … A u 膜
- 4 0 … 第 1 の N i 含有膜
- 4 2 … 第 2 の N i 含有膜

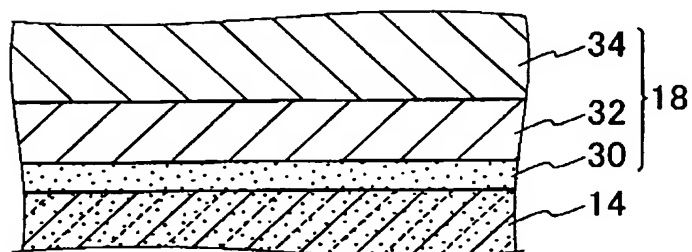
【書類名】 図面

【図 1】



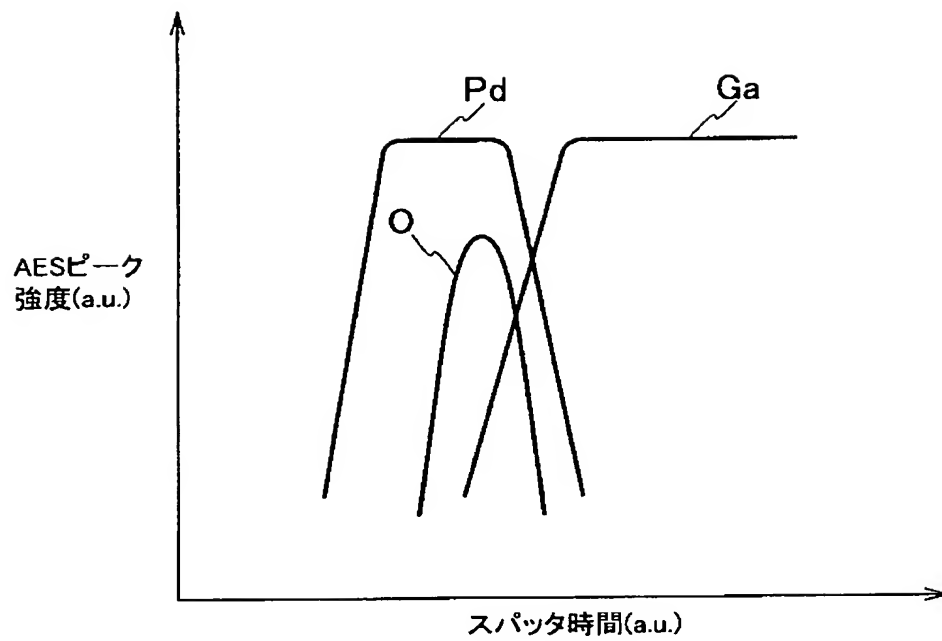
10:基板
12:エピタキシャル成長層
14:コンタクト層
16:絶縁膜
18:p側電極
20:パッド電極
22:n側電極

【図 2】

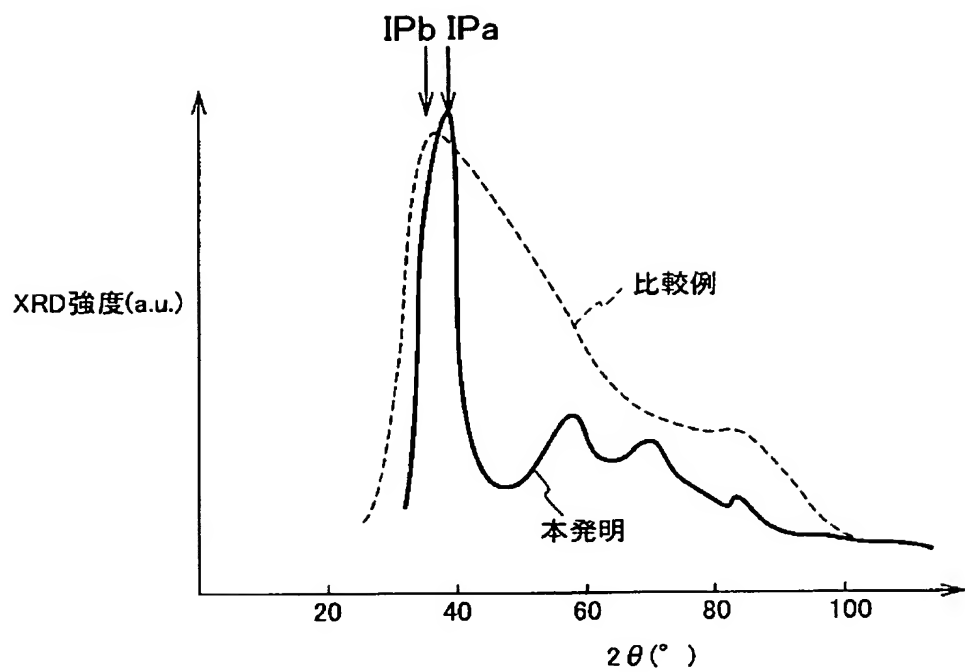


30: PdO膜
32: Pd膜
34: Pt膜

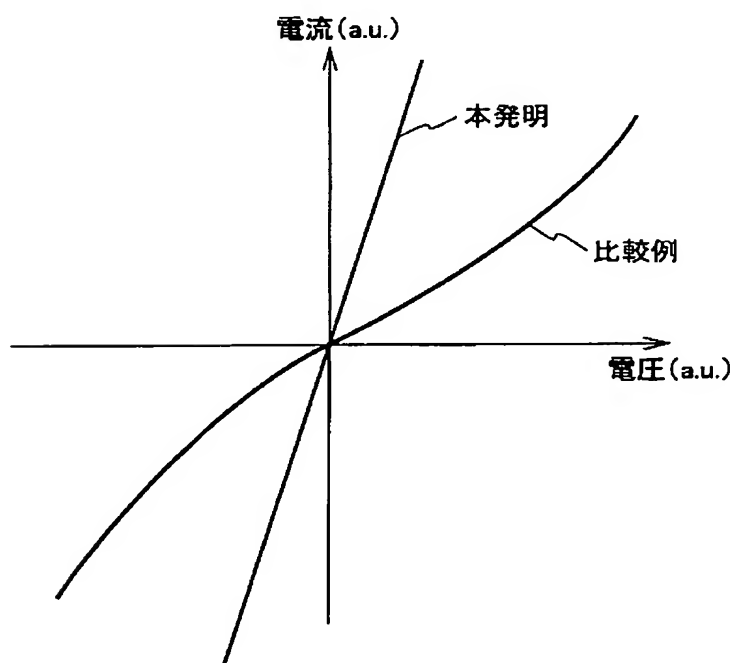
【図 3】



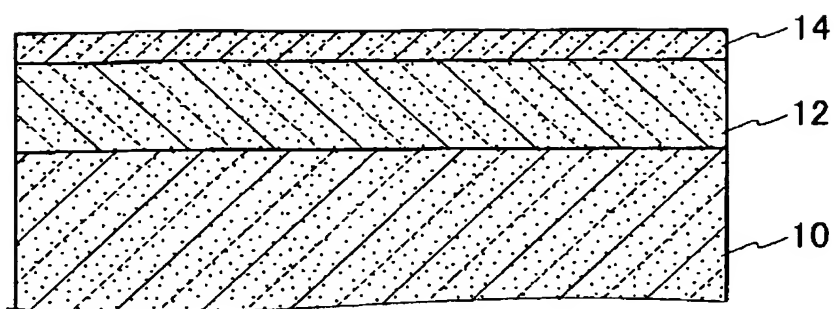
【 図 4 】



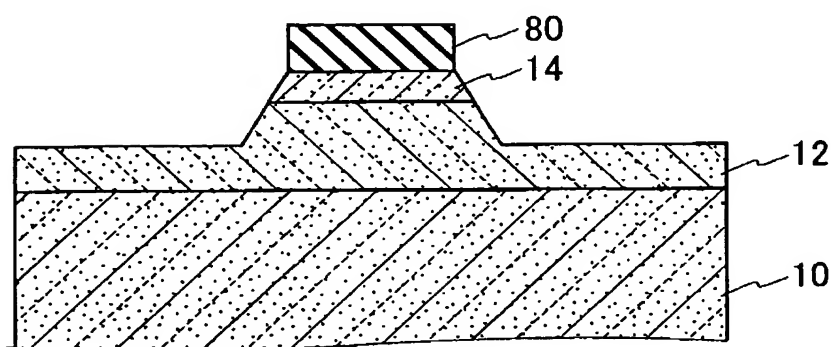
【 図 5 】



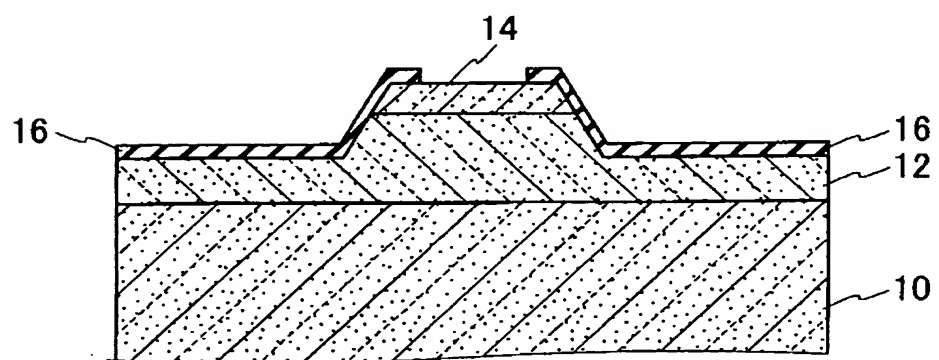
【图 6】



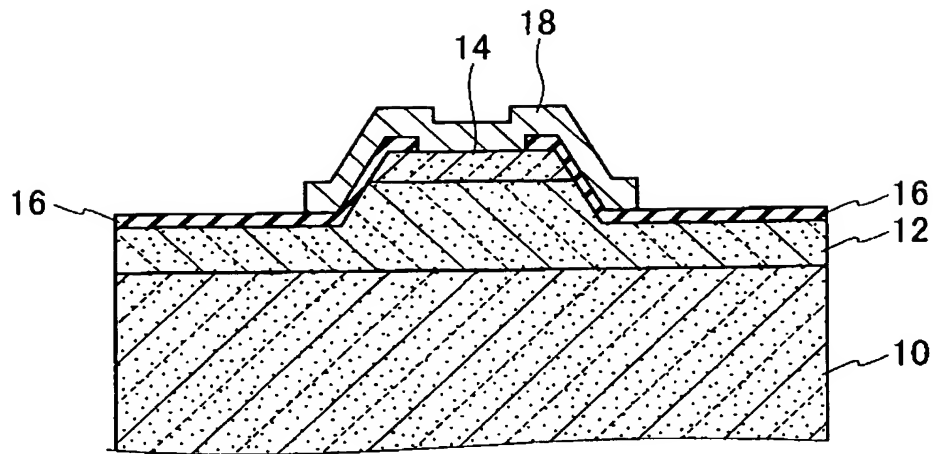
【图 7】



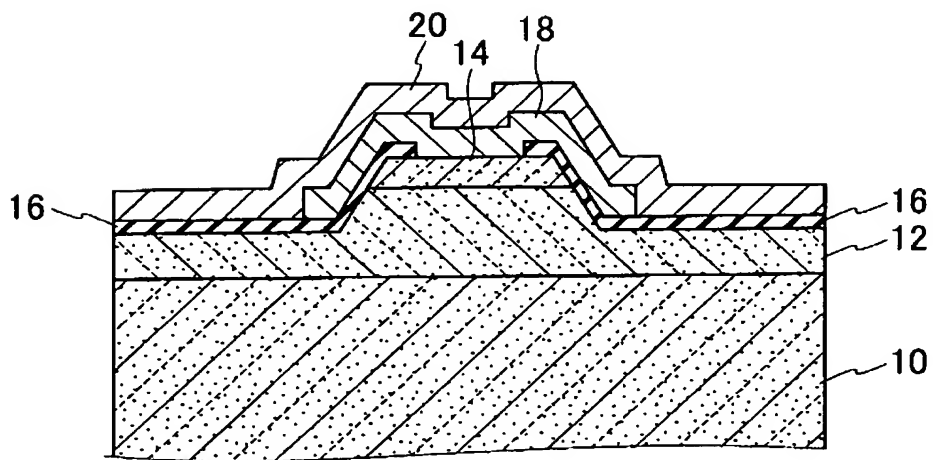
【图 8】



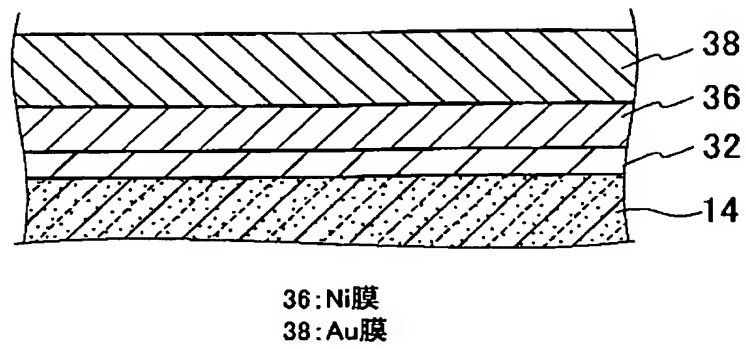
【図 9】



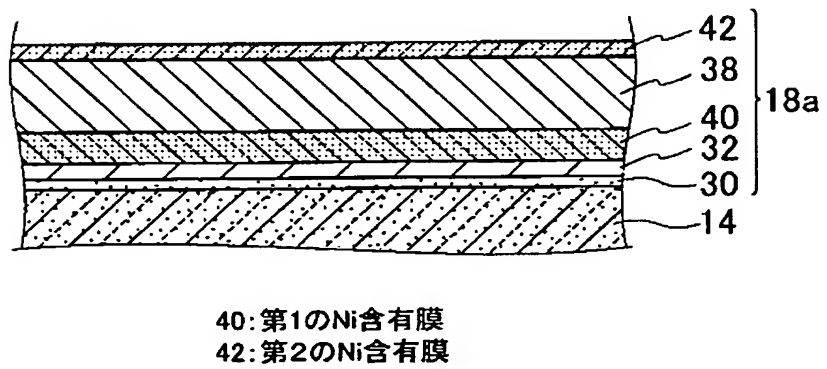
【図 10】



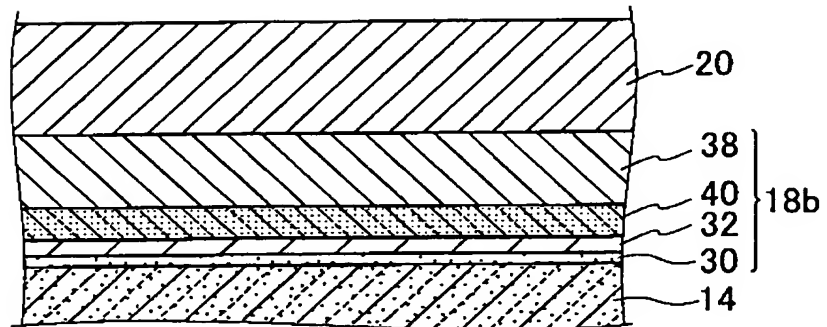
【図 1 1】



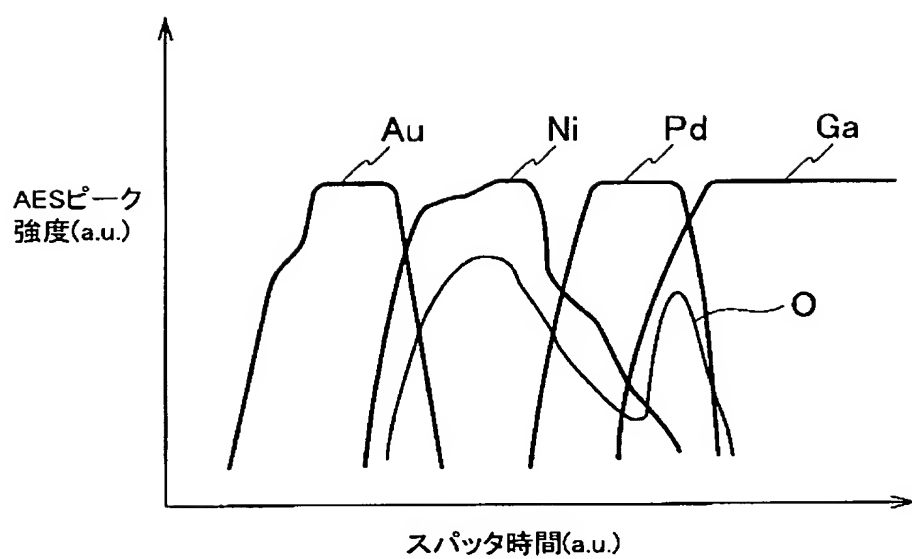
【図 1 2】



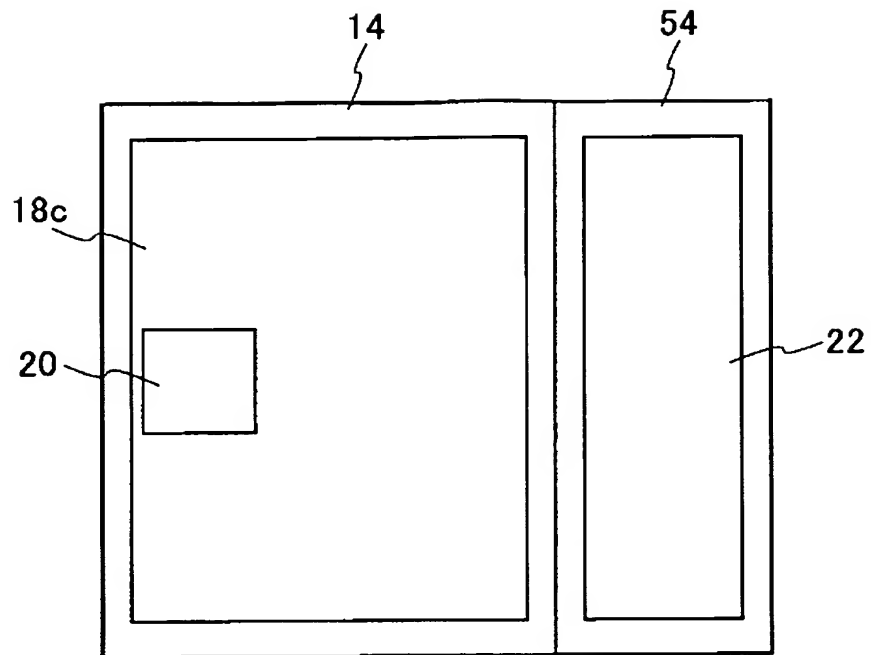
【図 1 3】



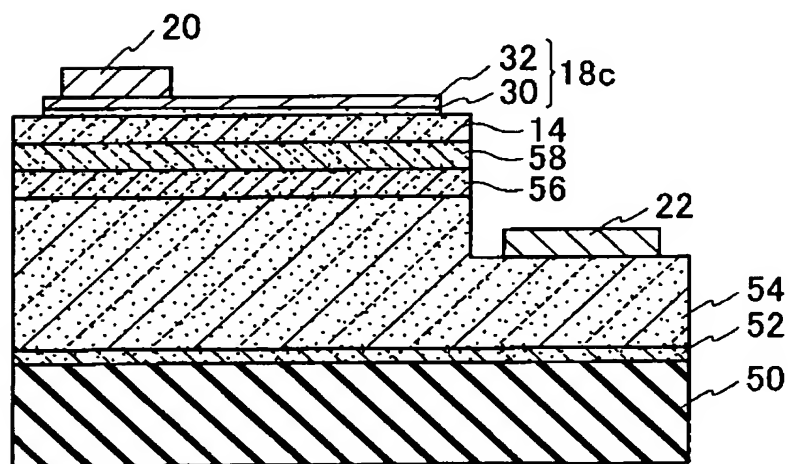
【 図 1 4 】



【図 15】



【図 16】



【書類名】要約書

【要約】

【課題】低動作電圧を実現することができ、信頼性の向上が可能な半導体素子を提供する

。

【解決手段】p型窒化物半導体層と、窒化物半導体層表面上の酸化パラジウム膜30を含むp側電極18とを備える。

【選択図】図2

出願人履歴

0 0 0 0 0 3 0 7 8

20010702

住所変更

5 9 9 1 3 7 0 1 3

東京都港区芝浦一丁目 1 番 1 号

株式会社東芝